

①9 BUNDESREPUBLIK  
DEUTSCHLAND



DEUTSCHES  
PATENTAMT

⑫ Patentschrift  
⑪ DE 3032364 C3

⑤1 Int. Cl. 4:  
G11C 17/06  
H 01 L 21/72

②1 Aktenzeichen: P 30 32 364.9-53  
②2 Anmeldetag: 28. 8. 80  
④3 Offenlegungstag: 22. 4. 82  
④5 Veröffentlichungstag  
der Patenterteilung: 12. 8. 82  
④5 Veröffentlichungstag  
des geänderten Patents: 12. 11. 87

Patentschrift nach Einspruchsverfahren geändert

⑦3 Patentinhaber:  
Philips Patentverwaltung GmbH, 2000 Hamburg, DE

⑦2 Erfinder:  
El-Dessouky, Adel, Dr.-Ing., 2000 Hamburg, DE

⑤6 Für die Beurteilung der Patentfähigkeit  
in Betracht gezogene Druckschriften:

DE-OS 29 34 582  
DE-OS 28 32 388  
IEEE Transactions on Electron Devices, Vol. ED-24  
(1977), S.584-586;  
IEEE Transactions on Electron Devices, Vol. ED-26  
(1979), No.11, S.1832;  
Jap. Journ. Appl. Phys. 18 (1979), S. 21;  
Solid State Electronics, 1977, Vol. 20, S. 361-365;  
RCA Review, Dezember 1970, S. 742-753;  
Proceedings of the IEEE, Vol. 57, No. 9, Sept. 1969,  
S. 1564 - 1570;

⑤4 Elektrisch programmierbarer und löschbarer Halbleiter-Festwertspeicher und Verfahren zu seiner Herstellung

DE 3032364 C3

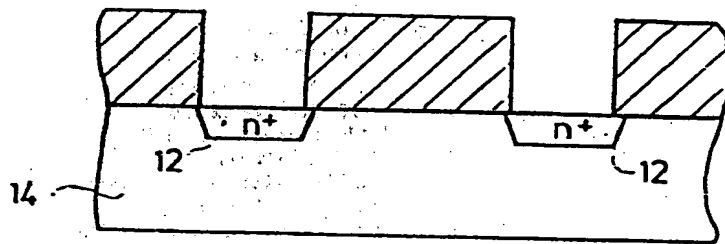


Fig. 1a

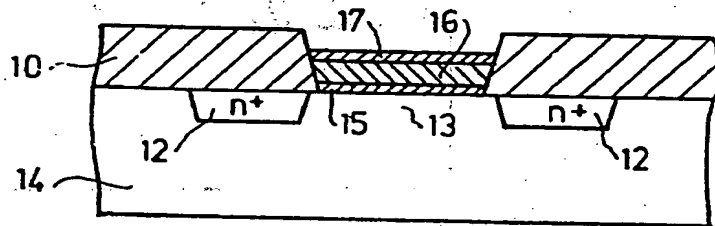


Fig. 1b

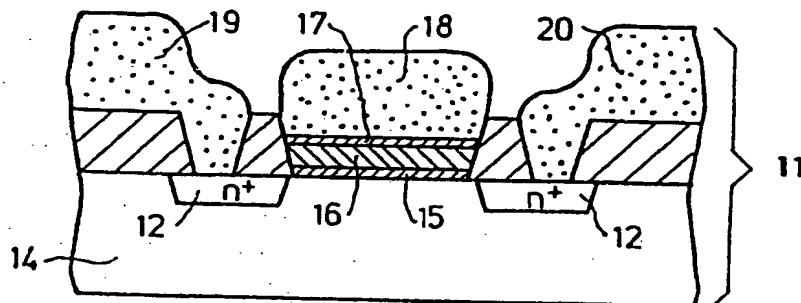


Fig. 1c

## Patentansprüche:

1. Elektrisch programmierbarer und löscher Halbleiter-Festwertspeicher, dessen Speicherzellen Feldeffekttransistoren mit isolierter Gate-Elektrode enthalten, die in einem Halbleiterkörper ausgebildet sind und deren Gate-Dielektrikum aus drei aufeinandergeschichteten Dielektrika besteht, nämlich einer ersten, dünnen, durchtunnelbaren Oxidschicht (15), einer Speicherschicht (16) und einer zweiten Oxidschicht (17), dadurch gekennzeichnet, daß

- a) die Speicherschicht (16) aus einem der Oxide  $Ta_2O_5$ ,  $WO_3$ ,  $BiO_3$ ,  $Nb_2O_5$  oder dem Nitrid  $AlN$  besteht und eine Dicke von etwa 15 bis etwa 50 nm aufweist,
- b) die zweite Oxidschicht eine Dicke von etwa 5 bis etwa 20 nm aufweist.

2. Festwertspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die Speicherschicht (16) aus  $Ta_2O_5$  besteht und eine Dicke von etwa 30 nm aufweist.

3. Festwertspeicher nach Anspruch 1, dadurch gekennzeichnet, daß die erste Oxidschicht (15) eine Dicke von etwa 2,5 nm aufweist.

4. Festwertspeicher nach einem der vorangehenden Ansprüche, dadurch gekennzeichnet, daß die Source- und die Drain-Gebiete der Feldeffekttransistoren N-leitend sind.

5. Verfahren zum Herstellen eines Festwertspeichers nach einem der Ansprüche 1 bis 4, dadurch gekennzeichnet, daß die Speicherschicht (16) und die zweite Oxidschicht (17) durch Abscheiden aus der Gasphase hergestellt werden.

6. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die erste Oxidschicht (15) durch thermische Oxidation des Halbleiterkörpers hergestellt wird.

7. Verfahren nach den Ansprüchen 5 und 6, dadurch gekennzeichnet, daß alle drei Schichten des Gate-Dielektrikums (15, 16, 17) nacheinander in demselben Reaktor, vorzugsweise bei gleicher Temperatur, hergestellt werden.

8. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die zweite, aus  $SiO_2$  bestehende Oxidschicht durch pyrolytische Zersetzung zu einer Mischung aus 2,5 Vol.-%  $SiH_4$ , 2,5 Vol.-%  $O_2$  (trocken), Rest  $N_2$ , bei einer Temperatur von etwa 900°C und bei atmosphärischem Druck niedergeschlagen wird.

9. Verfahren nach Anspruch 5, dadurch gekennzeichnet, daß die zweite, aus  $SiO_2$  bestehende Oxidschicht durch pyrolytische Zersetzung einer Mischung  $SiH_4/Cl_2$  und  $N_2O$  im Verhältnis von etwa 1:10 bei einer Temperatur von etwa 900°C mit einem Druck von etwa 1 mbar niedergeschlagen wird.

Die Erfindung betrifft einen elektrisch programmierbaren und löscheren Halbleiter-Festwertspeicher, dessen Speicherzellen Feldeffekttransistoren mit iso-

lierter Gate-Elektrode enthalten, die in einem Halbleiterkörper ausgebildet sind und deren Gate-Dielektrikum aus drei aufeinandergeschichteten Dielektrika besteht, nämlich einer ersten, dünnen, durchtunnelbaren Oxidschicht, einer Speicherschicht und einer zweiten Oxidschicht.

Ein Halbleiter-Festwertspeicher dieser Art ist aus IEEE Transactions on Electron Devices, Vol. ED-26 (1979) 11, 1832, bekannt.

An elektrisch programmierbare Halbleiter-Festwertspeicher (nichtflüchtige Speicher) der obengenannten Art werden folgende Anforderungen gestellt:

- 1.1 Programmierung mit kleinen und kurzen Schreib/Löschimpulsen: Amplitude  $\leq 15$  V, Impulsdauer  $\leq 10$  ms erwünscht.
- 1.2 Flüchtigkeitsrate der gespeicherten Ladungen, charakterisiert durch die Änderung der Schwellenspannung  $\Delta V_T$  pro Zeitdekade nach einer Schreib- oder Löschoperation, d. h.  $\Delta V_T / \Delta \log t \leq 0,04$  V/Sekundendekade oder eine Speicherzeit von mehreren Jahren ist erwünscht.
- 1.3 Programmierzyklen  $> 10^6$ .
- 1.4 Kompatibilität zu der N-Kanal-MOS-Technologie.

Elektrisch programmierbare, aus einem Bauelement gebildete Festwertspeicherzellen können nach dem Prinzip der Auf- und Entladung der Grenzschicht zweier Dielektrika in der geschichteten Gate-Struktur eines Feldeffekttransistors mit isolierter Gate-Elektrode realisiert werden. Hierbei besteht das Gate-Dielektrikum aus einer inneren Tunneloxidschicht aus  $SiO_2$  (=O) und einer äußeren Isolatorschicht, z. B.  $Si_3N_4$  (=N) oder  $Al_2O_3$  (=A). Als Gate-Elektrodenmaterial können entweder Metall (=M), z. B. Aluminium oder poly-Silizium (=S), verwendet werden. Aus historischen Gründen und wegen der leichteren Integrierbarkeit in einem MOS-Herstellungsprozeß verwendet man meistens  $Si_3N_4$  als äußeren Isolator in der geschichteten Gatestruktur einer Festwertspeicherzelle vom Typ MNOS oder SNOS (siehe z. B. Jap. Journ. Appl. Phys., 18 (1979), 21).

Durch das Verfahren der nassen Oxidation der  $Si_3N_4$ -Oberfläche entsteht bei diesem bekannten Festwertspeicher eine Siliciumoxinitridschicht  $Si_3(O)N_4$  in einer bisher unbekannten Zusammensetzung, die wegen des undefinierten Grenzflächenübergangs zum  $Si_3N_4$  als abgewandelter Bestandteil des Siliciumnitrides einzuordnen ist; eine so hergestellte Festwertspeicherzelle ist also eine Variante vom Typ S(O)NOS (siehe IEEE Trans. on El. Dev., 24 (1977) 584-586).

Zur Verbesserung der Nichtflüchtigkeit der gespeicherten Ladungen bei den SNOS- und der S(O)NOS-Strukturen ist es bekannt (siehe z. B. DE-OS 29 34 582), eine Wärmebehandlung der  $Si_3N_4$ -Schicht in  $H_2$ -Atmosphäre im Bereich von 700 bis 1200°C durchzuführen, um die Leitfähigkeit des Siliciumnitridfilms und die Dichte  $N_2$  der Oberflächenzustände an der Si- $SiO_2$ -Grenzfläche herabzusetzen. In diesem Fall erfolgt die Herstellung des Tunneloxids und des Nitrids in zwei verschiedenen Reaktoren.

Ein bekannter Festwertspeicher der eingangs genannten Art (siehe IEEE Trans. on El. Dev. 26 (1979), 1832) verwendet ein dreischichtiges Gate-Dielektrikum, bestehend aus 2 nm  $SiO_2$ -Tunneloxid, 3 nm  $Si_3N_4$  und 50 nm deponiertem  $SiO_2$ . Ein besonderes Merkmal dieser Kombination ist die sehr dünne  $Si_3N_4$ -Schicht, die von einer dicken  $SiO_2$ -Schicht bedeckt wird. Mit dieser

Schichtkombination teilt sich die Programmiervspannung  $V_G$  an der Gateelektrode in folgende Anteile auf: 3,7%  $V_G$  über der Tunneloxidschicht, 3,4%  $V_G$  über der  $\text{Si}_3\text{N}_4$ -Schicht und der größte Anteil, nämlich 92,9%  $V_G$  über der 50 nm dicken  $\text{SiO}_2$ -Schicht. Hieraus folgt, daß für diese Schichtkombination Programmiervspannungen von 48 bis 53 V verwendet werden müssen, um die notwendige Feldstärke von 9 bis 10 MV/cm an die  $\text{SiO}_2$ -Tunneloxidschicht erzeugen zu können. Solche hohen Spannungen sind, wie oben erläutert, unerwünscht.

Es ist auch möglich,  $\text{Al}_2\text{O}_3$  (= A) statt  $\text{Si}_3\text{N}_4$  oder die Kombination von  $\text{Si}_3\text{N}_4$ — $\text{Al}_2\text{O}_3$  als äußeren Isolator des Gate-Dielektrikums in den Festwertspeicherelementen vom Typ MAOS bzw. MANOS zu verwenden, wobei die

$\text{Si}_3\text{N}_4$ - und  $\text{Al}_2\text{O}_3$ -Schichten in getrennten Reaktoren hergestellt werden müssen. Zur Herabsetzung der erforderlichen Programmiervspannungen wird außerdem im Falle der MANOS-Struktur eine Wärmebehandlung des Aluminiumoxids in  $\text{O}_2$ -Atmosphäre durchgeführt. Andererseits führt diese Wärmebehandlung zu einer unerwünschten Zunahme der Oberflächenzustandsdichte  $N_{ss}$  um das Fünffache, so daß die unerwünschte Flüchtigkeit der gespeicherten Ladungen in Richtung des Si-Substrats durch Rücktunneln begünstigt wird.

Die nachfolgende Übersichtstabelle zeigt, daß keine der bisher verwendeten Verfahren einen Festwertspeicher erzeugt haben, der die unter Abschnitt I. beschriebenen Anforderungen erfüllt:

Festwert- speicher-Typ	Programmierungspulse		Dauer ms	Flüchtig- keitsrate in V/dek.	Progr.- zyklen	Wärme- behandlung
	Amplitude Schreiben	Löschen				
MNOS	+25 V	-25 V	1	0,4	$3 \cdot 10^7$	keine
SNOS	+25 V	-25 V	1	0,2	unbek.	in $\text{H}_2$ (1000 °C)
S(O)NOS	+36 V	-42 V	100	0,4	unbek.	keine
MAOS	+20 V	-35 V	10	0,04	$8 \cdot 10^5$	keine
MANOS	+22 V	-25 V	1	0,3	ca. $10^7$	in $\text{O}_2$ (900 °C)

Hieraus geht folgendes hervor:

- 1) Bisher wurden Spannungen größer als 20 V zur Programmierung der Festwertspeicherelemente benötigt.
- 2) Zusätzliche Wärmebehandlung ist notwendig, damit die Nichtflüchtigkeit der Ladungen bei Speicherstrukturen vom Typ MNOS und SNOS verbessert wird.

Daher besteht die Aufgabe der Erfindung darin, einen Festwertspeicher der eingangs genannten Art so auszugestalten, daß Programmiervspannungen  $\leq 15$  V möglich sind und die Nichtflüchtigkeit der gespeicherten Ladungen wesentlich verbessert ist ( $< 0,05$  V/dek.).

Der Erfindung liegt die Erkenntnis zugrunde, daß es möglich ist, ein Isolatormaterial für die Speicherschicht anzugeben, das in Verbindung mit einer darüberliegenden dünnen Oxidschicht aus pyrolytischem  $\text{SiO}_2$  einen kapazitiven Spannungsteiler im geschichteten Gate-Dielektrikum erzeugt, das seinerseits eine Feldstärke von 9 bis 10 MV/cm über der  $\text{SiO}_2$ -Tunneloxidschicht bei Programmiervspannungen  $\leq 15$  V bewirkt.

Die allgemeine Aufgabe wird in Anwendung dieser Erkenntnis dadurch gelöst, daß

- a) die Speicherschicht aus einem der Oxide  $\text{Ta}_2\text{O}_5$ ,  $\text{WO}_3$ ,  $\text{Bi}_2\text{O}_3$ ,  $\text{Nb}_2\text{O}_5$  oder dem Nitrid  $\text{AlN}$  besteht und eine Dicke von etwa 15 bis etwa 50 nm aufweist,
- b) die zweite Oxidschicht eine Dicke von etwa 5 bis etwa 20 nm aufweist.

Ausgestaltungen der Erfindung ergeben sich aus den Unteransprüchen.

Die Erfindung wird im folgenden an einigen Ausführungsbeispielen näher erläutert.

Es zeigt

Fig. 1 den Querschnitt einer Speicherelemente eines Festwertspeichers nach der Erfindung in drei verschiedenen Stufen seiner Herstellung.

Fig. 2 schaubildlich die durch die Erfindung erreichte Verbesserung bezüglich der Nichtflüchtigkeit der gespeicherten Ladungen.

Fig. 3 schaubildlich die durch die Erfindung erreichte Verbesserung bezüglich der Aufnahme von negativen Ladungen, d. h. die Verbesserung bezüglich der Verschiebung der Schwellenspannung  $V_{th}$ .

Fig. 4 das Energiebanddiagramm des Oxid-Isolator-Oxid-Gate-Dielektrikums einer Festwertspeicherelemente nach der Erfindung.

### Beispiel I

#### MONOS-Festwertspeicher

In diesem Ausführungsbeispiel ist für die Speicherschicht ein Isolatormaterial gewählt, das den Mindestwert der relativen Dielektrizitätskonstante von 7 hat und als klassisches Speichermaterial bisher verwendet wurde, nämlich Siliciumnitrid  $\text{Si}_3\text{N}_4$ . Für diesen Grenzfall wird gezeigt, daß eine erhebliche Verbesserung der Nichtflüchtigkeit der gespeicherten Ladungen erreicht werden kann, ohne daß die übliche Wärmebehandlung des  $\text{Si}_3\text{N}_4$  in  $\text{H}_2$ -Atmosphäre erforderlich ist. Entsprechend dem Mindestwert 7 als untere Grenze, für die relative Dielektrizitätskonstante ist im Ausführungsbeispiel eine Programmierung der Speicherelemente mit Spannungsimpulsen von  $\pm 15$  V und 10 ms Dauer möglich. Somit ist es deutlich, daß Programmiervspannungen deutlich unter 15 V erreicht werden können, wenn ein Isolatormaterial mit einer relativen Dielektrizitätskonstante größer als 7, z. B. Tantalexid  $\text{Ta}_2\text{O}_5$  statt Siliciumnitrid in Kombination mit einer darüberliegenden

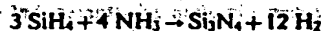
den dünnen Schicht aus pyrolytischem  $\text{SiO}_2$  verwendet wird.

Anhand von Fig. 1 werden die wesentlichen Schritte des Herstellungsverfahrens einer Festwertspeicherzelle 11 nach der Erfindung erläutert:

In einem P-leitenden Halbleitersubstrat 14 wurden Source- und Drain-Gebiete 12 mit einem N-Dotierstoff durch einen in der MOS-Technologie üblichen Prozeß, z. B. Ionenimplantation, hergestellt. Nach einem Oxidationsschritt wurde das Substrat im Kanalbereich 13 vom  $\text{SiO}_2$  10 freigelegt. Danach wurden alle drei Schichten des Gate-Dielektrikums nacheinander in demselben Reaktor, z. B. bei der Temperatur  $900^\circ\text{C}$  und bei atmosphärischem Druck, wie folgt hergestellt (in situ-Herstellung):

a) Thermische Oxidation von Si in trockenem 5%  $\text{O}_2$  in  $\text{N}_2$ -Atmosphäre zur reproduzierbaren Herstellung der 2,5 nm dünnen  $\text{SiO}_2$ -Tunneloxidschicht 15.

b) Pyrolytische Abscheidung von  $\text{Si}_3\text{N}_4$  aus der Gasphase nach



zur Herstellung der 20 nm dicken Speicherschicht 16 unter Verwendung der Gaskonzentrationen 1,2 Vol.-%  $\text{SiH}_4$  zu 1,2 Vol.-%  $\text{NH}_3$  zu 10 Vol.-%  $\text{H}_2$  zu 90 Vol.-%  $\text{N}_2$ , vorzugsweise bei einem  $\text{SiH}/\text{NH}_3$ -Verhältnis = 0,01.

c) Pyrolytische Abscheidung von  $\text{SiO}_2$  aus der Gasphase nach



zur Herstellung der 5 bis 10 nm dünnen  $\text{SiO}_2$ -Schicht 17, die als Abblockbarriere für die aus der  $\text{Si}_3\text{N}_4$ -Schicht flüchtenden Ladungen dient. Hierfür wurden folgende Konzentrationen verwendet: 2,5 Vol.-%  $\text{SiH}_4$  zu 2,5 Vol.-%  $\text{O}_2$  (trocken) zu 97,5 Vol.-%  $\text{N}_2$ .

Mit diesen Konzentrationen ist die reproduzierbare Herstellung von sehr dünnen Schichten aus pyrolytischem  $\text{SiO}_2$  möglich (Fig. 1b).

Nach Bildung des geschichteten Gate-Dielektrikums wurden die Kontaktlöcher der Source- und Drain-Gebiete geöffnet. Danach wurden Aluminium- oder poly-Silicium-Kontaktelektroden (18, 19, 20) mittels Niederschlag und anschließendem Fournätzen am Gate (18), am Source (19) und dem Drain (20) gebildet. Danach wurden die in der MOS-Technologie üblichen Herstellungsschritte durchgeführt, so daß ein MONOS-Festwertspeicher hergestellt worden ist (Fig. 1c).

In Fig. 2 und 3 sind die guten Speichereigenschaften der hergestellten MONOS-Speicherzellen mit anderen Speichertypen verglichen. Aus Fig. 2, in der die Schwellenspannung  $V_T$  des die Speicherzelle bildenden Feldeffekttransistors über die Zeit  $t$  aufgetragen ist, ist zu erkennen, daß eine Verbesserung der Nichtflüchtigkeit der gespeicherten Ladungen um das Zehnfache, insbesondere gegenüber Speicherzellen vom Typ  $\text{SiO}_2\text{NOS}$  erreicht wurde. Diese spürbare Verbesserung ist vor allem auf die reproduzierbare Abscheidung von sehr dünnen  $\text{SiO}_2$ -Schichten zurückzuführen. Somit wird, gegenüber bisher bekannten Herstellungsverfahren, keine Wärmebehandlung der  $\text{Si}_3\text{N}_4$ -Speicherschicht zur Verbesserung der Nichtflüchtigkeit benötigt. Andererseits wird durch das in situ-Herstellungsverfahren die Oberflächenzustandsdichte  $N_{ss}$  bis auf  $5 \cdot 10^{10}/\text{cm}^2$  minimiert. Dadurch wird das Rücktunneln

der gespeicherten Ladungen über diese Grenzflächenzustände erheblich vermindert. Die in situ-Herstellung verhindert die Entstehung der Oberflächenzustände, wodurch eine Wärmebehandlung in  $\text{H}_2$  zur Reduzierung der Oberflächenzustandsdichte überflüssig geworden ist.

Fig. 3, in der die Schwellenspannung  $V_T$  des die Speicherzelle bildenden Feldeffekttransistors über der Gate-Spannung  $V_G$  aufgetragen ist, zeigt, daß die Verschiebung der Schwellenspannung  $V_T$  bei gleicher Programmierspannung  $V_G$  Festwertspeichern nach der Erfindung vom Typ MONOS größer ist als bei einem bekannten Festwertspeicher vom Typ MNOS. Dadurch wird gezeigt, daß die MONOS-Strukturen mehr negative Ladungen aufnehmen als die üblichen MNOS-Strukturen, obwohl die Dicke der  $\text{Si}_3\text{N}_4$ -Speicherschicht bei einem Festwertspeicher nach der Erfindung um weniger als die Hälfte im Vergleich zu den bekannter Speichern vom Typ MNOS reduziert wurde. Diese hervorragenden Speichereigenschaften sind vor allem auf das Abblocken der flüchtenden  $\text{Si}_3\text{N}_4$ -Ladungen durch die Energiebarriere an der Grenzfläche zur pyrolytischen  $\text{SiO}_2$ -Schicht 17 zurückzuführen.

## Beispiel 2

### MONOS-Festwertspeicher

Dieses Ausführungsbeispiel entspricht dem Beispiel 1 bis auf die Schritte zur Herstellung des Gate-Dielektrikums. Die Schritte a), b) und c) können ebenfalls in einer für diesen Zweck modifizierten Niederdruck-Abscheidungsanlage im LPCVD-Verfahren (low pressure chemical vapor deposition) wie folgt bei  $900^\circ\text{C}$  in situ durchgeführt werden:

- Thermische Oxidation von Si in trockenem 5 Vol.-%  $\text{O}_2$  in  $\text{N}_2$ -Atmosphäre bei atmosphärischem Druck.
- Pyrolytische Abscheidung von  $\text{Si}_3\text{N}_4$  bei Niederdruck von etwa 1 mbar durch die Reaktion von  $\text{SiH}_4\text{Cl}_2$  und  $\text{NH}_3$ , vorzugsweise bei einem Verhältnis  $\geq 1:5$ .
- Pyrolytische Abscheidung von  $\text{SiO}_2$  bei Niederdruck von etwa 1 mbar, z. B. durch die Reaktion von  $\text{SiH}_4\text{Cl}_2$  und  $\text{N}_2\text{O}$ , beispielsweise bei einem Verhältnis  $1:10$ .

Mit diesem modifizierten Verfahren wird, außer der verbesserten Eigenschaften gemäß Fig. 2 und 3, der Durchsatz erhöht und damit werden die Herstellungskosten reduziert.

## Beispiel 3

### MOTOS-Festwertspeicher

Dieses Ausführungsbeispiel unterscheidet sich vom Beispiel 1 dadurch, daß Tantaloxid  $\text{Ta}_2\text{O}_5$  (= T) statt  $\text{Si}_3\text{N}_4$  als Speichermedium verwendet wird. In diesem Fall erfolgt die pyrolytische Abscheidung von Tantaloxid  $\text{Ta}_2\text{O}_5$  bei  $900^\circ\text{C}$  nach der Reaktion von  $\text{TaCl}_5$  und  $\text{CO}_2$  oder  $\text{NO}$ , vorzugsweise bei niedrigem Druck. Die relative Dielektrizitätskonstante des Tantaloxids ist mindestens 4mal größer als die von  $\text{Si}_3\text{N}_4$ , so daß bei einem geschichteten Gate-Dielektrikum, bestehend aus 2,5 nm  $\text{SiO}_2$ -Tunneloxid, 30 nm  $\text{Ta}_2\text{O}_5$  und 5 nm pyrolytisches  $\text{SiO}_2$ , ein kapazitiver Spannungsteiler entsteht, der Programmierspannungen kleiner als  $\pm 10\text{ V}$  (10 ms

zuläßt. Außerdem wird die Nichtflüchtigkeit der im  $Ta_2O_5$  gespeicherten Ladungen gegenüber bekannten Speicherzellen von Typ MTOS durch das Abblocken der flüchtenden Ladungen an der Grenzfläche zur pyrolytischen  $SiO_2$ -Schicht 17, analog zu Beispiel 1, verbessert.

#### Beispiel 4

##### MOIOS-Festwertspeicher

Dieses Ausführungsbeispiel unterscheidet sich vom Beispiel 3 dadurch, daß eines der folgenden Isolatormaterialien ( $-I$ ) als Alternative zum Tantaloxid als Speicherschicht 16 verwendet wird:  $TiO_2$ ,  $WO_3$ ,  $HfO_2$ ,  $Bi_2O_3$ ,  $Nb_2O_5$  oder  $AlN$ . Die pyrolytische Abscheidung dieser Materialien ist ebenfalls bei Temperaturen von 800 bis 1000°C durchführbar. Diese Dielektrika besitzen ebenfalls eine mindestens um Faktor 2 größere Dielektrizitätskonstante als die von  $Si_3N_4$ , so daß wiederum eine Programmierung der Speicherzellen bei

Spannungen unter 15 V gewährleistet wird.

In den Beispielen 1 bis 4 wurden nur Dielektrika für die Speicherschicht 16 verwendet, die eine Energiebandlücke  $22 < 6$  eV besitzen, so daß gewährleistet wird, daß die Ladungen zwischen zwei Potentialbarrieren nichtflüchtig gespeichert werden, wie das in Fig. 4 dargestellte Banddiagramm erkennen läßt.

Durch das Herstellungsverfahren gemäß der Erfindung sind elektrisch programmierbare Festwertspeicher herstellbar, die verbesserte Speicherzeiten und Flüchtigkeitsraten aufweisen und Programmierspannungen kleiner als 15 V zulassen.

Bei einem Festwertspeicher nach der Erfindung vom Typ MONOS ergab sich eine Flüchtigkeitsrate von nur 0,04 V/dek. Durch *in situ*-Herstellung des Oxid-Nitrid-Oxid-Gate-Dielektrikums ergeben sich hervorragende Speicher- und Schalteigenschaften.

Bei Verwendung von  $Ta_2O_5$  statt  $Si_3N_4$  als Speicherschicht werden alle oben erläuterten Anforderungen an einen Festwertspeicher erfüllt.

Hierzu 2 Blatt Zeichnungen

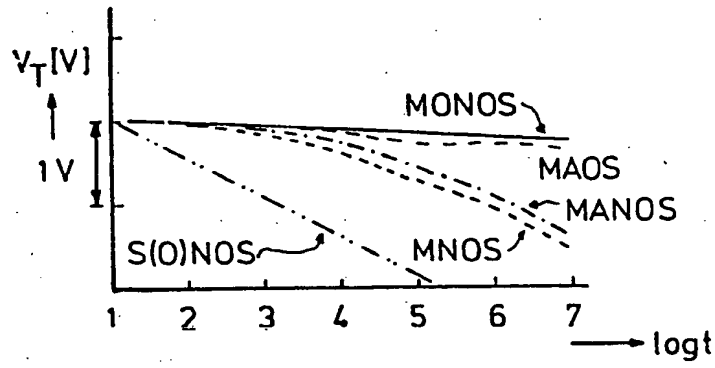


Fig. 2

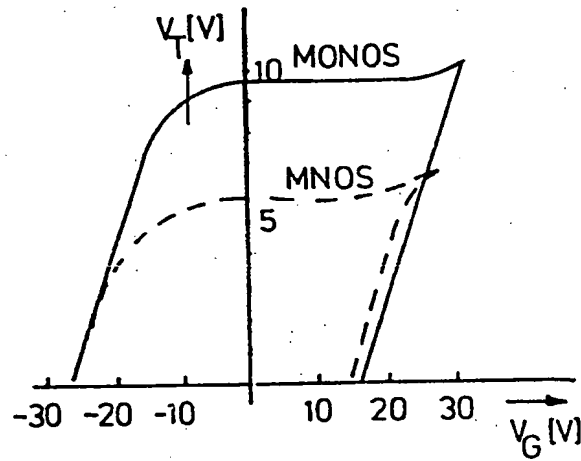


Fig. 3

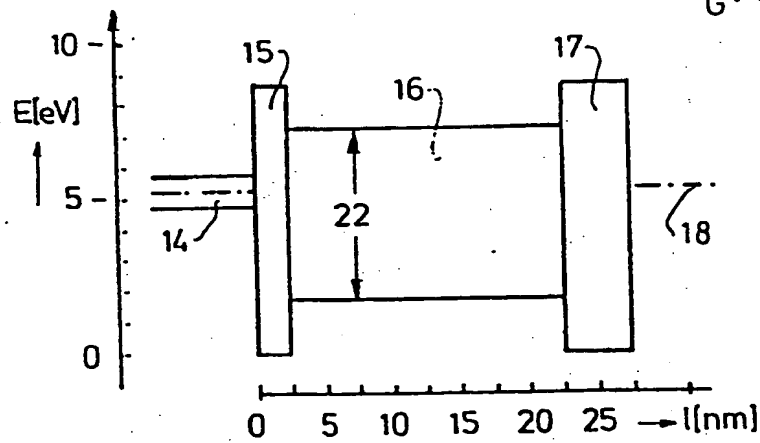


Fig. 4

## TRANSLATION

DE 30 32 364 C3

Electrically programmable and clearable semiconductor read-only memory and method for the production thereof

## Claims:

1. Electrically programmable and clearable semiconductor read-only memory, the memory cells of which contain field-effect transistors with insulated gate electrode which are formed in a semiconductor body and the gate dielectric of which consists of three dielectrics arranged in layers on each other, that is a first thin tunnelable oxide layer (15), a memory layer (16) and a second oxide layer (17), characterized in that
  - a) the memory layer (16) consists of one of the oxides  $\text{Ta}_2\text{O}_5$ ,  $\text{WO}_3$ ,  $\text{BiO}_3$ ,  $\text{Nb}_2\text{O}_5$  or the nitride  $\text{AlN}$  and has a thickness of about 15 to about 50 nm,
  - b) the second oxide layer has a thickness of about 5 to about 20 nm.
2. Read-only memory according to claim 1, characterized in that the memory layer (16) consists of  $\text{Ta}_2\text{O}_5$  and has a thickness of about 30 nm.
3. Read-only memory according to claim 1, characterized in that the first oxide layer (15) has a thickness of about 2.5 nm.
4. Read-only memory according to any one of the preceding claims, characterized in that the source and drain regions of the field-effect transistors are N-conductive.
5. Method for producing a read-only memory according to any one of claims 1 to 4, characterized in that the memory layer (16) and the second oxide layer (17) are made by deposition from the gas phase.
6. Method according to claim 5, characterized in that the first oxide layer (15) is made by thermal oxidation of the semiconductor body.
7. Method according to claims 5 and 6, characterized in that all three layers of the gate dielectric (15, 16, 17) are made successively in the same reactor, preferably at the same temperature.



8. Method according to claim 5, characterized in that the second oxide layer consisting of  $\text{SiO}_2$  is made by pyrolytic decomposition of a mixture of 2.5 vol.%  $\text{SiH}_4$ , 2.5 vol.%  $\text{O}_2$  (dry) and the remainder  $\text{N}_2$  at a temperature of about  $900^\circ\text{C}$  and at atmospheric pressure.

9. Method according to claim 5, characterized in that the second oxide layer is deposited by pyrolytic decomposition of a mixture of  $\text{SiH}_4\text{Cl}_2$  and  $\text{N}_2\text{O}$  in ratio of about 1:10 at a temperature of about  $900^\circ\text{C}$  and a pressure of about 1 mbar.

-----

The invention relates to an electrically programmable and clearable semiconductor read-only memory, the memory cells of which contain field-effect transistors with insulated gate electrode which are formed in a semiconductor body and the gate dielectric of which consists of three dielectrics arranged in layers on each other, that is a first thin tunnelable oxide layer, a memory layer and a second oxide layer.

A semiconductor read-only memory of this type is known from IEEE Transactions on Electron Devices, Vol. ED-26 (1979)11, 1832.

The following requirements are made of electrically programmable semiconductor read-only memories (non-volatile memories) of the type referred to above:

- 1.1 Programming desired with small and short write/clear pulses: amplitude  $\leq 15$  V, pulse duration  $\leq 10$  ms.
- 1.2 Volatility rate of the stored charges characterized by the change of the threshold voltage  $\Delta V_t$  per time decade after a write or clear operation, i.e.  
 $\Delta V / \Delta \log t: \leq 0.04$  V/second decade or a storage time of several years is desired.
- 1.3 Programming cycles  $> 10^6$
- 1.4 Compatability with N-channel MOS technology.

Electrically programmable read-only memory cells formed from one component may be implemented by the principle of charging and discharging the interface of two dielectrics in the laminated gate structure of a field-effect transistor with insulated gate electrode. The gate dielectric consists of an inner tunnel oxide layer of  $\text{SiO}_2$  (=O) and an outer insulating layer of for example  $\text{Si}_3\text{N}_4$  (=N) or  $\text{Al}_2\text{O}_3$  (=A). As gate electrode material either metal (=M), for example aluminium or polysilicon (=S) can be used. For historical reasons and because of the easier

integratability in an MOS production method usually  $\text{Si}_3\text{N}_4$  is used as outer insulator in the laminated gate structure of a read-only memory cell of MNOS or SNOS type (see for example Jap. Journ Appl. Phys., 18 (1979), 21).

The method of wet oxidation of the  $\text{Si}_3\text{N}_4$  surface leads in this known read-only memory to a silicon oxide nitride layer  $\text{Si}_x(\text{O})_y\text{N}_z$  in a hitherto unknown composition which due to the undefined interface junction to the  $\text{Si}_3\text{N}_4$  is to be classified as modified component of the silicon nitride; a read-only memory cell made in this manner is therefore a variant of the type S(O)NOS (see IEEE Trans. on El. Dev., 24 (1977) 584-586).

To improve the non-volatility of the stored charges in the SNOS or S(O)NOS structures it is known (cf. for example DOS 29 34 582) to carry out a heat treatment of the  $\text{Si}_3\text{N}_4$  layer in an  $\text{H}_2$  atmosphere in the range of 700 to 1200°C to reduce the conductivity of the silicon nitride film and the density  $N_{ss}$  of the surface states at the Si-SiO<sub>2</sub> interface. In this case the formation of the tunnel oxide and the nitride takes place in two different reactors.

A known read-only memory of the type mentioned at the beginning (see IEEE Trans. on El. Dev. 26 (1997) 1832) employs a three-layer gate dielectric consisting of 2 nm SiO<sub>2</sub> tunnel oxide, 3 nm  $\text{Si}_3\text{N}_4$  and 50 nm deposited SiO<sub>2</sub>. A particular feature of this combination is the very thin  $\text{Si}_3\text{N}_4$  layer which is covered by a thick SiO<sub>2</sub> layer. With this layer combination the programming voltage  $V_G$  is divided into the following components at the gate electrode: 3.7%  $V_G$  over the tunnel oxide layer, 3.4%  $V_G$  over the  $\text{Si}_3\text{N}_4$  layer and the greatest part, that is 92.9%  $V_G$ , over the 50 nm thick SiO<sub>2</sub> layer. It follows from this that for these layer combinations programming voltages of 48 to 53 V must be used to enable the necessary field strength of 9 to 10 MV/cm to be generated at the SiO<sub>2</sub> tunnel oxide layer. As explained above, such high voltages are undesirable. It is also possible to use Al<sub>2</sub>O<sub>3</sub> (=A) instead of Si<sub>3</sub>O<sub>4</sub> or the combination of  $\text{Si}_3\text{N}_4$  - Al<sub>2</sub>O<sub>3</sub> as outer insulator of the gate dielectric in the read-only memory cells of the type MAOS or MANOS, whereby the  $\text{Si}_3\text{N}_4$  and Al<sub>2</sub>O<sub>3</sub> layers must be made in separate reactors. To reduce the necessary programming voltages, in addition in the case of the MANOS structure a heat treatment of the aluminium oxide is carried out in an O<sub>2</sub> atmosphere. On the other hand this heat treatment leads to an undesired increase in the surface state density  $N_{ss}$  by five times so that the undesired volatility of the stored charges in the direction of the Si substrate by reverse tunneling is promoted.

The following summary Table shows that none of the methods employed so far have produced a read-only memory which fulfils the requirements described under section I.

Read-only memory type	Programming pulses			Volatility rate in V/dec.	Prog. cycles	Heat treatment
	amplitude write	erase	duration ms			
MNOS	+ 25 V	- 25 V	1	0.4	$3 \cdot 10^7$	none
SNOS	+ 25 V	- 25 V	1	0.2	unknown	in $H_2$ (1000°C)
S(O)NOS						
S(O)NOS	+ 36 V	- 42 V	100	0.4	unknown	none
MAOS	+ 20 V	- 35 V	10	0.04	$8 \cdot 10^5$	none
MANOS	+ 22 V	- 25 V	1	0.3	ca. $10^7$	in $O_2$ (900°C)

The following is apparent from this:

- 1) Hitherto voltages greater than 20 V were required to program the read-only memory cells.
- 2) Additional heat treatment is necessary to improve the non-volatility of the charges with memory structures of the type MNOS and SNOS.

The problem underlying the invention therefore resides in further developing a read-only memory of the type mentioned at the beginning in such a manner that programming voltages  $\leq 15$  V are possible and the non-volatility of the stored charges is substantially improved ( $< 0.05$  V/dec.).

The invention is based on the recognition that it is possible to provide an isolating or insulating material for the memory layer which in combination with the thin oxide layer thereabove of pyrolytic  $SiO_2$  produces a capacitive voltage divider in the laminated gate dielectric which in turn effects a field strength of 9 to 10 MV/cm over the  $SiO_2$  tunnel oxide layer with programming voltages  $\leq 15$  V.

Said problem is solved on applying this recognition in that

- a) the memory layer consists of one of the oxides  $Ta_2O_5$ ,  $WO_3$ ,  $BiO_3$ ,  $Nb_2O_5$  or the nitride  $AlN$  and has a thickness of about 15 to about 50 nm,
- b) the second layer has a thickness of about 5 to about 20 nm.

Further developments of the invention will be apparent from the subsidiary claims.

The invention will be explained hereinafter with the aid of some examples of embodiment.

In the Figures

Fig. 1 shows the cross-section of a memory cell of a read-only memory according to the invention in three different stages of its production.

Fig. 2 illustrates graphically the improvement achieved with the invention of the non-volatility of the stored charges.

Fig. 3 shows graphically the improvement achieved with the invention of the takeup of negative charges, i.e. the improvement regarding the shifting of the threshold voltage  $V_t$ .

Fig. 4 shows the energy band diagram of the oxide insulator-oxide gate dielectric of a read-only memory cell according to the invention.

#### Example 1 MONOS read-only memory

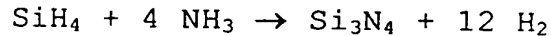
In this example of embodiment for the memory layer an insulating material is chosen which has the minimum value of the relative dielectric constant of 7 and was hitherto used as classic storage material, that is silicon nitride  $\text{Si}_3\text{N}_4$ . It is shown for this limit case that a considerable improvement of the non-volatility of the stored charges can be achieved without the usual heat treatment of the  $\text{Si}_3\text{N}_4$  in  $\text{H}_2$  atmosphere being necessary. Corresponding to the minimum value 7 a lower limit for the relative dielectric constant, in the example of embodiment a programming of the memory cells is possible with voltage pulses of  $\pm 15$  V and 10 ms duration. It is thus clear that programming voltages appreciably below 15 V can be achieved if an insulating material having a relative dielectric constant greater than 7, for example tantalum oxide  $\text{Ta}_2\text{O}_5$ , is used instead of silicon nitride in combination with a thin layer of pyrolytic  $\text{SiO}_2$  lying thereabove.

With the aid of Fig. 1 the essential steps of the production method for a read-only memory cell 11 according to the invention will be explained.

In a P-conductive semiconductor substrate 14 source and drain regions 12 are formed with an N-impurity by a process usual in MOS technology, for example ion implantation. After an oxidation step the substrate was freed from  $\text{SiO}_2$  10 in the channel region 13. Thereafter, all three layers of the gate dielectric were made consecutively in the same reactor, for example at a temperature of  $900^\circ\text{C}$  and

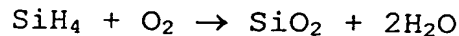
atmospheric pressure, in the following manner (in situ production):

- a) Thermal oxidation of Si in dry 5% O<sub>2</sub> in an N<sub>2</sub> atmosphere for reproducible formation of the 2.5 nm thin SiO<sub>2</sub> tunnel oxide layer 15.
- b) Pyrolytic deposition of Si<sub>3</sub>N<sub>4</sub> from the gas phase according to



for forming the 20 nm thick memory layer 16 using gas concentrations 1.2 Vol.% SiH<sub>4</sub> to 1.2 Vol.% NH<sub>3</sub> to 10 Vol.% H<sub>2</sub> to 90 Vol.% N<sub>2</sub>, preferably with an SiH/NH<sub>3</sub> ratio = 0.01.

- c) Pyrolytic deposition of SiO<sub>2</sub> from the gas phase according to



for forming the 5 to 10 nm thin SiO<sub>2</sub> layer 17 which serves as blocking barrier for the charges escaping from the Si<sub>3</sub>N<sub>4</sub> layer. For this purpose the following concentrations were used:

2.5 Vol.% SiH<sub>4</sub> to 2.5 Vol.% O<sub>2</sub> (dry) to 97.5 Vol.% NH<sub>2</sub>.

With these concentrations the reproducible formation of very thin layers of pyrolytic SiO<sub>2</sub> is possible (Fig. 1b).

After formation of the laminated gate dielectric the contact holes of the source and drain regions were opened. Thereafter aluminium or polysilicon contact electrodes (18, 19, 20) were formed by deposition and subsequent photo-etching at the gate (18), the source (19) and the drain (20). Then the production steps usual in MOS technology were carried out so that an MONOS read-only memory was obtained (Fig. 1c).

In Figs. 2 and 3 the good storage properties of the MONOS memory cells made are compared with other memory types. It is apparent from Fig. 2, in which the threshold voltage  $V_t$  of the field-effect transistor forming the memory cell is plotted against the time  $t$ , that an improvement of the non-volatility of the stored charges by ten times was achieved, in particular compared with memory cells of the type S(O)NOS. This appreciable improvement is due especially to the reproducible deposition of very thin SiO<sub>2</sub> layers. Thus, compared with hitherto known production methods no heat treatment of the Si<sub>3</sub>N<sub>4</sub> memory layer is needed to improve the non-volatility. On the other hand, by the in situ production method the surface state density  $N_{ss}$  is

reduced to  $5 \cdot 10^{10}/\text{cm}^2$ . This considerably diminishes the reverse tunneling of the stored charges across these interface states. The in situ production prevents the formation of the surface states, a heat treatment in  $\text{H}_2$  for reducing the surface state density thereby being made superfluous.

Fig. 3, in which the threshold voltage  $V_t$  of the field-effect transistor forming the memory cell is plotted against the gate voltage  $V_G$ , shows that the shifting of the threshold voltage  $V_t$  for the same programming voltage  $V_G$  in read-only memories according to the invention of type MONOS is greater than with a known read-only memory of type MNOS. This illustrates that the MONOS structures take up more negative charges than the usual MNOS structures although the thickness of the  $\text{Si}_3\text{N}_4$  memory layer in a read-only memory according to the invention has been reduced by less than half compared with the known memories of type MNOS. These excellent storage properties are due in particular to the blocking of the escaping  $\text{Si}_3\text{N}_4$  charges by the energy barrier at the interface to the pyrolytic  $\text{SiO}_2$  layer 17.

#### Example 2 MONOS read-only memory

This example of embodiment corresponds to example 1 except for the steps for forming the gate dielectric. The steps a), b) and c) may likewise be carried out in a low pressure deposition apparatus modified for this purpose by the LPCVD method (low pressure chemical vapour deposition) in situ at  $900^\circ\text{C}$  as follows:

- a) Thermal oxidation of Si in dry 5 vol.%  $\text{O}_2$  in  $\text{N}_2$  atmosphere at atmospheric pressure.
- b) Pyrolytic deposition of  $\text{Si}_3\text{N}_4$  at low pressure of about 1 mbar by the reaction of  $\text{SiH}_4\text{Cl}_2$  and  $\text{NH}_3$ , preferably in the ratio  $\geq 1:5$ .
- c) Pyrolytic deposition of  $\text{SiO}_2$  at low pressure of about 1 mbar, for example by the reaction of  $\text{SiH}_4\text{Cl}_2$  and  $\text{N}_2\text{O}$ , for example in a ratio of 1:10.

With this modified method, apart from the improved properties according to Figs. 2 and 3, the throughput is increased and the production costs thereby reduced.

#### Example 3 MOTOS read-only memory

This example of embodiment differs from example 1 in that tantalum oxide  $\text{Ta}_2\text{O}_5$  (=T) is used instead of  $\text{Si}_3\text{N}_4$  as storage medium. In this case the pyrolytic deposition of tantalum oxide  $\text{Ta}_2\text{O}_5$  takes place at  $900^\circ\text{C}$  after the reaction of  $\text{TaCl}_5$  and  $\text{CO}_2$  or  $\text{NO}$ , preferably at low

pressure. The relative dielectric constant of tantalum oxide is at least 4 times greater than that of  $\text{Si}_3\text{N}_4$  so that a laminated gate dielectric consisting of 2.5 nm  $\text{SiO}_2$  tunnel oxide, 30 nm  $\text{Ta}_2\text{O}_5$  and 5 nm pyrolytic  $\text{SiO}_2$  gives a capacitive voltage divider which permits programming voltages less than  $\pm 10$  V (10 ms). In addition, the non-volatility of the charges stored in the  $\text{Ta}_2\text{O}_5$  compared with known memory cells of type MTOS is improved by the blocking of the escaping charges at the interface to the pyrolytic  $\text{SiO}_2$  layer 17 analogously to example 1.

#### Example 4 MOIOS read-only memory

This example of embodiment differs from example 3 in that one of the following insulating materials (=I) is used as alternative to tantalum oxide as storage or memory layer:  $\text{TiO}_2$ ,  $\text{WO}_3$ ,  $\text{HfO}_2$ ,  $\text{Bi}_2\text{O}_3$ ,  $\text{Nb}_2\text{O}_5$  or  $\text{AlN}$ . The pyrolytic deposition of these materials can likewise be carried out at temperatures of 800 to 1000°C. These dielectrics also have a dielectric constant greater at least by a factor of 2 than that of  $\text{Si}_3\text{N}_4$  and consequently once again programming of the memory cells is ensured with voltages below 15 V.

In the examples 1 to 4 only dielectrics having an energy band gap  $22 < 6$  eV were used for the storage layer 16 so as to ensure that the charges are stored in non-volatile manner between two potential barriers as is apparent from the band diagram illustrated in Fig. 4.

With the production method according to the invention electrically programmable read-only memories can be made which have improved storage times and volatility rates and permit programming voltages of less than 15 V.

With a read-only memory according to the invention of type MONOS a volatility rate of only 0.04 V/dec. was obtained. Excellent storage and switching properties are obtained by in situ production of the oxide-nitride-oxide gate dielectric.

When using  $\text{Ta}_2\text{O}_5$  instead of  $\text{Si}_3\text{N}_4$  as storage layer all the requirements made of read-only memories as explained above are met.

**This Page is Inserted by IFW Indexing and Scanning  
Operations and is not part of the Official Record**

**BEST AVAILABLE IMAGES**

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ **BLACK BORDERS**
- ☐ **IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- ☐ **FADED TEXT OR DRAWING**
- ☐ **BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- ☐ **SKEWED/SLANTED IMAGES**
- ☐ **COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- ☐ **GRAY SCALE DOCUMENTS**
- ☒ **LINES OR MARKS ON ORIGINAL DOCUMENT**
- ☐ **REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- ☐ **OTHER: \_\_\_\_\_**

**IMAGES ARE BEST AVAILABLE COPY.**

**As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.**